

**Title: Liquid crystal display device and the same method**

Laid Open No.: 05-265040

Laid Open Date: October 15, 1993

[Abstract]

[Object] It is an object of the present invention to provide a liquid crystal display device that has a gate line GL (12), which is thick and large to have a low line resistance.

[Configuration] On a glass substrate 1, a trench (4) is formed; in the trench 4, a gate line GL (12) is formed via electric or non-electric plating; since the gate line GL (12) becomes thick due to the trench (4), the line resistance of the gate line (12) becomes much smaller.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-265040

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1343		9018-2K		

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号 特願平4-62215

(22)出願日 平成4年(1992)3月18日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 市川 伸治

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(72)発明者 広瀬 義一

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

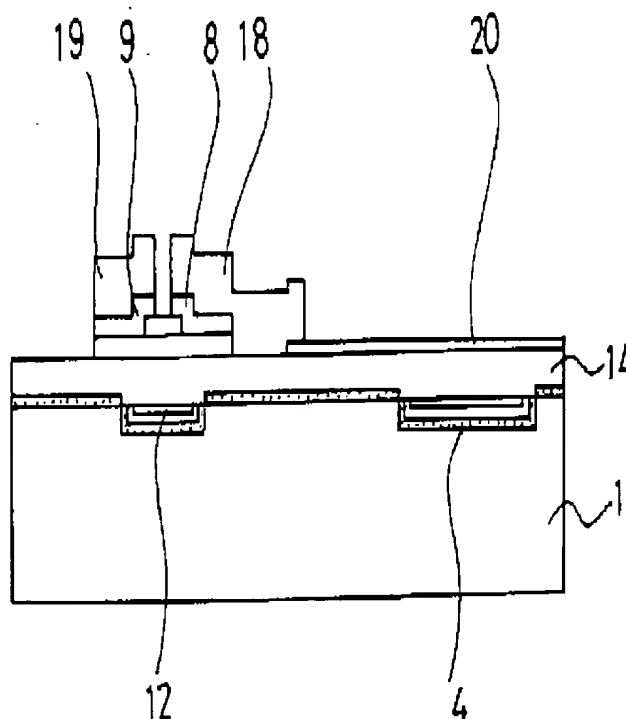
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 液晶表示装置およびその製造方法

(57)【要約】

【目的】 ゲートラインGL(12)の厚みを大きくしゲートラインのライン抵抗を低減した液晶表示装置を実現することを目的とする。

【構成】 ガラス基板(1)にトレンチ(4)を設け、このトレンチ(4)内に無電界および電界メッキで形成したゲートラインGL(12)を埋め込み、ゲートラインGL(12)の厚みをトレンチ(4)で吸収してゲートラインGL(12)のライン抵抗を大幅に低減する。



### 【特許請求の範囲】

【請求項1】 行列状に配列されたドレインラインとゲートラインと、両ライン間にマトリックス状に配列された画素電極と、前記画素電極下に延在された補助容量電極と、前記ドレインラインにドレインを前記ゲートラインにゲートを前記画素電極にソースを接続したスイッチング素子と、前記画素電極と対向電極の間に設けた液晶材料とを具備した液晶表示装置において、前記ゲートラインをガラス基板に埋め込むことを特徴とする液晶表示装置。

【請求項2】 ガラス基板の予定のゲートラインのパターンを露出してレジスト層で被覆する工程、前記ガラス基板をエッチングしてトレンチを形成する工程、前記トレンチ内面をシリコン酸化膜で被覆する工程、前記トレンチ内面の前記シリコン酸化膜に無電界メッキにより第1の金属層を形成する工程、前記第1の金属層を電極として電界メッキを行い第2の金属層を形成し、前記トレンチ内に埋め込まれたゲートラインを形成する工程とを具備することを特徴とする液晶表示装置の製造方法。

【請求項3】 前記シリコン酸化膜を液相成長により成膜することを特徴とする請求項2記載の液晶表示装置の製造方法。

【請求項4】 前記第1の金属層を無電界ニッケルメッキで成膜することを特徴とする請求項2記載の液晶表示装置の製造方法。

### 【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】本発明は液晶表示装置およびその製造方法、特にゲートラインの低抵抗化を実現する液晶表示装置およびその製造方法に関する。

#### 【0002】

【従来の技術】薄膜トランジスタ（TFT）を用いたアクティブマトリックス方式の液晶表示装置は、ディスプレイとして携帯テレビ、ビデオモニター、液晶プロジェクタとして利用化されている。この技術動向を詳細に説明したものとして、日経BP社が発行している「フラットパネル・ディスプレイ 1991」がある。この中には、種々の構造の液晶表示装置が記載されているが、ここではTFTを用いたアクティブマトリックス液晶表示装置を説明する。

【0003】このアクティブ・マトリックス液晶表示装置は、例えば図12の如き構成を有する。先ず透明な絶縁性基板、例えばガラス基板（11）がある。このガラス基板（11）上には、TFTの一構成要素となるゲート（12）および補助容量電極（13）が、例えばMo-Ta合金等より形成されている。更に全面にはSiNxから成る膜（14）が積層されている。続いて前記ゲート（12）に対応するSiNx膜（14）上には、ノ

ンドープのアモルファス・シリコン膜（15）およびN+型のアモルファス・シリコン膜（16）が積層され、この2層のアモルファス・シリコン膜（15）（16）の間には、半導体保護膜（17）が設けられている。続いてN+型のアモルファス・シリコン膜（16）上には、それぞれソース電極（18）およびドレイン電極（19）が、例えばMoとAlの積層体で設けられている。更には前記補助容量電極（13）に対応する前記SiNx膜（14）上に、例えばITOより成る画素電極（20）が設けられ、前記ソース電極（18）と電氣的に接続されている。さらに全面に保護のため、SiNx膜（21）をパッシベーションし、その上に配向膜（22）を付着している。

【0004】前記ガラス基板（11）と対向して、別のガラス基板（23）が設けられ、このガラス基板（23）上に対向電極（25）が設けられている。TFTに対向する部分に遮光膜（24）を設け、全面に共通の対向電極（25）を形成し、その上に配向膜（26）を付着する。そしてこの一対のガラス基板（11）（23）間に液晶（27）が注入され、液晶表示装置と成る。

#### 【0005】

【発明が解決しようとする課題】かかる液晶表示装置ではゲート（12）は平坦なガラス基板（11）表面に設けられるので、段差を大きくしないように約1500Åと薄く形成していた。このためゲートラインGLのライン抵抗は小さくできない問題点があり、特に大画面では大きな問題点となっていた。またこれを改善するためにゲート材料としてMo等を用いてライン抵抗を低減させるようにしていたが、材料費が高いことと膜厚を厚くできないためにこの問題点を解決できるに至っていない。

【0006】従ってかかる液晶表示装置では、1本のゲートラインGLに多数の画素が接続されて表示を行うので、ゲートラインGLから供給されるゲート信号が入力側と遠端では、充電特性により輝度傾斜や部分的フリッカーを生じる問題点があった。具体的には、液晶パネルの大型化が進むと、ゲートラインGLが長くなり、そのライン抵抗が遠端では大きくなる。このためにゲートラインGLの遠端ではその抵抗と容量成分によりその波形が減衰されてしまい、遠端の画素電極では十分な充電を行えない。この結果、例えばノーマリホワイトのとき、ゲートラインGLの入力側では画素が黒であったものが、端部では同じ黒の信号でも灰色がかってしまう。

#### 【0007】

【課題を解決するための手段】本発明は斯る諸々の問題点に鑑みてなされ、ゲートラインをガラス基板に設けたトレンチに埋め込むことにより、ゲートラインの低抵抗化を実現した液晶表示装置を提供するものである。また本発明の製造方法によれば、ゲートラインを埋め込むトレンチをレジスト層をマスクとしてエッチングして形成し、さらに無電界メッキで第1の金属層を形成すること

により、セルフアラインによる簡便な液晶表示装置の製造方法を実現するものである。

#### 【0008】

【作用】本発明によれば、ゲートラインをトレンチ内に埋め込むのでその膜厚で段差を形成することなくゲートラインの膜厚を厚く形成でき、ゲートラインの低抵抗化を実現できる。また本発明の製造方法によれば、トレンチから無電界メッキまでを単一のレジスト層のマスクで形成できるので、セルフアラインによる製造方法を実現できる。

#### 【0009】

【実施例】以下に本発明の製造方法を図1～図10を参照して説明する。なお図12と同一構成要素には同一符号を付した。図1において、上面が平坦なガラス基板

(1)を準備する。ガラス基板(1)としては価格の安いソーダライムガラスや無アルカリガラス(商品名 ダウ・コーニング 7059)を用いる。なおガラス基板(1)表面には内部からのナトリウムイオンの導出を防止するために、シリコン酸化膜(2)を液相成長法で付着する。

【0010】図2において、レジスト層(3)でガラス基板(1)表面を覆い、予定のゲートラインGL(12)および補助容量電極(13)上のレジスト層(3)を選択的に除去する。図3において、レジスト層(3)をマスクとしてガラス基板(1)のエッチングを行う。このエッチングは、ソーダライムガラスを用いたとき弗酸でウェットエッチングを行い、無アルカリガラスを用いたときアルコール( $\text{CH}_3\text{OH}$ )を主成分とした反応ガスを用いるECRドライエッチングで行う。この工程で形成されるトレンチ(4)は深さ数1000Åに形成され、従来のゲートラインの厚みの2倍以上に設計される。

【0011】図4において、トレンチ(4)内面をシリコン酸化膜(5)で被覆し、さらにレジスト層(3)をマスクとしてトレンチ(4)内面に無電界メッキによる第1の金属層(6)を形成する。シリコン酸化膜(5)は液相成長法によりトレンチ(4)内面にシリコン酸化膜(5)を成膜する。このシリコン酸化膜(5)はガラス基板(1)から導出されるナトリウムイオンを抑制させるためのものである。液相成長法としては、ケイフ化水素酸( $\text{H}_2\text{SiF}_6$ )と $\text{SiO}_2$ の飽和水溶液中にガラス基板(1)を浸し、ホウ酸( $\text{H}_3\text{BO}_3$ )を加えてシリコン酸化膜(5)を成長させる方法が一般的である。

【0012】続いて、ガラス基板(1)をニッケルの無電解メッキ液に沈積して、レジスト層(3)をマスクとして露出されたトレンチ(4)の内面にニッケルメッキよりなる第1の金属層(5)を成膜する。図5において、レジスト層(3)をマスクとして無電解メッキで形成された第1の金属層(6)を電極として電解メッキを行って、第1の金属層(6)上に第2の金属層(7)を

形成し、トレンチ(4)内に埋め込まれた第1および第2の金属層(6)(7)よりなるゲートラインGL(12)を形成している。マスクとして用いたレジスト層(3)はこの工程終了後に除去される。なお補助容量電極(13)もゲートラインGL(12)と全く同様に形成される。

【0013】図6において、ゲートラインGL(12)および補助容量電極(13)がトレンチ(4)内に埋め込まれたガラス基板(1)には、ゲート絶縁膜(14)、ノンドープのアモルファス・シリコン膜(15)および保護膜(17)が順次減圧CVD法で付着される。ゲート絶縁膜(14)は約4000Åの $\text{SiNX}$ 膜で形成され、その上にノンドープのアモルファス・シリコン膜(15)を約1000Åほど形成し、さらに保護膜(17)となる $\text{SiNX}$ 膜を約2500Åほど形成する。

【0014】図7において、ゲート電極(12)上の保護膜(17)を残して、他の部分の保護膜(17)をエッチング除去し、全面にN+型にドープされたアモルファス・シリコン膜(16)を減圧CVD法で約1000Åの厚みに付着する。図8において、ノンドープのアモルファス・シリコン膜(15)およびN+型のアモルファス・シリコン膜(16)をエッチングしてチャンネル領域となるアモルファス・シリコン膜(15)を残し、その上に保護膜(17)上で分離されたN+型のアモルファス・シリコン膜(16)で形成されたソース領域(8)とドレイン領域(9)を残し、TFT型MOSトランジスタを形成する。

【0015】さらに、全面にITO膜(10)をスパッターにより約1000Åの厚みに形成する。図9において、ITO膜(10)をエッチングして画素電極(20)を形成する。最後に図10において、MoおよびAlをスパッターし所定形状にエッチングしてソース領域(8)およびドレイン領域(9)上にソース電極(18)およびドレイン電極(19)を形成する。なおソース電極(18)は画素電極(20)まで延在されて両者の接続を行う。

【0016】次に図11を参照して、具体的に液晶表示装置の構造について説明する。ガラス基板上には斜線を付したゲートラインGL(12)を多数本、横軸方向に平行に設け、ゲートラインGL(12)に沿って補助容量ラインとそれに接続された補助容量電極(13)を平行に設けている。ゲートラインGL(12)および補助容量電極(13)は、Cr等の蒸着で形成され、その表面を陽極酸化膜で被覆している。

【0017】この上を全面に $\text{SiNX}$ からなるゲート絶縁膜(14)で覆う。この絶縁膜(14)上にアモルファス・シリコン膜(15)およびN+型のアモルファス・シリコン膜(16)を積層する。その後、両アモルファス・シリコン膜(15)(16)をエッチングして、

チャンネル領域を形成するアモルファス・シリコン膜（１５）を残し、そのチャンネル領域上には半導体保護膜（１７）を設け、N+型のアモルファス・シリコン膜（１６）を半導体保護膜（１７）上で離間して、ソース領域（８）およびドレイン領域（９）を形成する。ソース領域（８）およびドレイン領域（９）上には、M0とA1の積層構造のソース電極（１８）とドレイン電極（１９）が形成されている。絶縁膜（１４）の残余部分にはITOよりなる画素電極（２０）が設けられ、ソース電極（１８）によりソース領域（８）と接続されている。なおドレインラインDL（２８）はドレイン電極（１９）を形成するときと同時に形成され、ゲートラインGL（１２）と直交するように配列されている。またゲートラインGL（１２）はTFT型MOSトランジスタのゲートを構成するように突出してそれぞれのチャンネル領域下に延在されている。

【００１８】さらに補助容量電極（１３）は補助容量ライン（２９）から画素電極（２０）の下に延在されて形成されている。本発明の特徴は、ゲートラインGL（１２）と補助容量電極（１３）をガラス基板（１）に設けたトレンチ（４）内に埋め込むことにある。この結果、ゲートラインGL（１２）を厚く形成してもトレンチ（４）の凹みでその段差を吸収できるので、ゲートラインGL（１２）の断面積を拡大でき、低抵抗化を実現できる。さらにCr等の安価な材料をゲートラインGL（１２）の材料として用いても、その比抵抗値の高いことが障害とならず大画面の液晶表示装置のコストダウンに極めて有効である。

【００１９】

【発明の効果】本発明によれば、ゲートラインGL（１２）をガラス基板（１）に設けたトレンチ（４）に埋め込むので、ゲートラインGL（１２）を厚く形成してもその段差がトレンチ（４）の凹みで吸収できる。この結果、ゲートラインGL（１２）を厚く形成でき、その断面積を拡大でき、ゲートラインGL（１２）の低抵抗化を容易に達成できる。またゲートラインGL（１２）の材料として、比抵抗が高いが安価なCr、Ni等の金属を用いてもライン抵抗の低減を実現できる。

【００２０】また本発明の製造方法によれば、トレンチ（４）を形成するためのレジスト層（３）をゲートラインGL（１２）の無電界および電界メッキまで共通のマスクとして用いるので、極めて簡便なセルフアラインによる製造方法を実現できる。

【図面の簡単な説明】

【図１】本発明に依る液晶表示装置の製造方法を説明する

断面図である。

【図２】本発明に依る液晶表示装置の製造方法を説明する断面図である。

【図３】本発明に依る液晶表示装置の製造方法を説明する断面図である。

【図４】本発明に依る液晶表示装置の製造方法を説明する断面図である。

【図５】本発明に依る液晶表示装置の製造方法を説明する断面図である。

【図６】本発明に依る液晶表示装置の製造方法を説明する断面図である。

【図７】本発明に依る液晶表示装置の製造方法を説明する断面図である。

【図８】本発明に依る液晶表示装置の製造方法を説明する断面図である。

【図９】本発明に依る液晶表示装置の製造方法を説明する断面図である。

【図１０】本発明に依る液晶表示装置の製造方法を説明する断面図である。

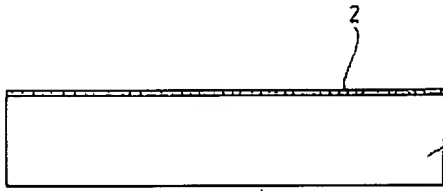
【図１１】本発明に依る液晶表示装置を説明する平面図である。

【図１２】従来の液晶表示装置を説明する断面図である。

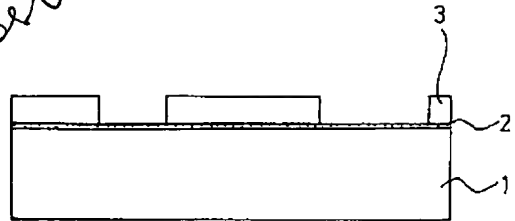
【符号の説明】

- |       |                  |
|-------|------------------|
| １     | ガラス基板            |
| ２     | シリコン酸化膜          |
| ３     | レジスト層            |
| ４     | トレンチ             |
| ５     | シリコン酸化膜          |
| ６     | 第１の金属層           |
| ７     | 第２の金属層           |
| ８     | ソース領域            |
| ９     | ドレイン領域           |
| １０    | ITO膜             |
| １１    | ガラス基板            |
| １２    | ゲート              |
| １３    | 補助容量電極           |
| １４    | 絶縁膜              |
| １５    | アモルファス・シリコン膜     |
| １６    | N+型のアモルファス・シリコン膜 |
| １７    | 半導体保護膜           |
| １８、１９ | ソース電極、ドレイン電極     |
| ２０    | 画素電極             |
| ２７    | 液晶               |

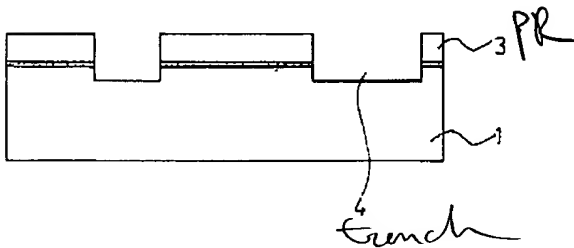
【図1】



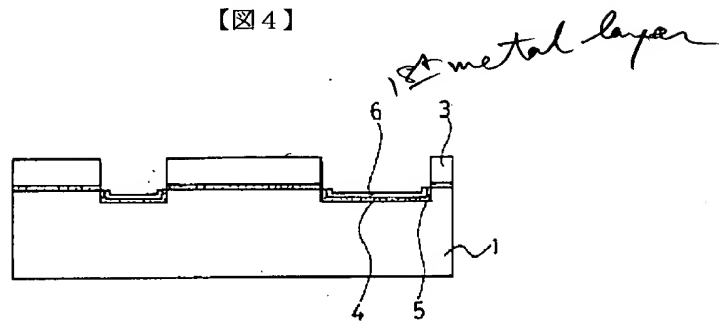
【図2】



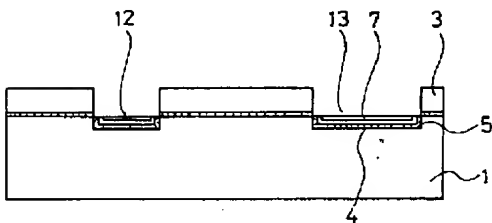
【図3】



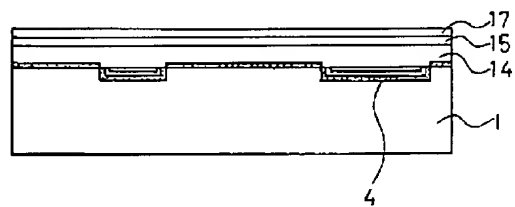
【図4】



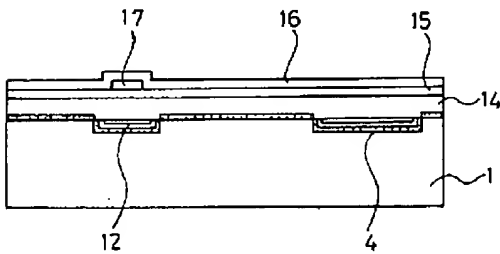
【図5】



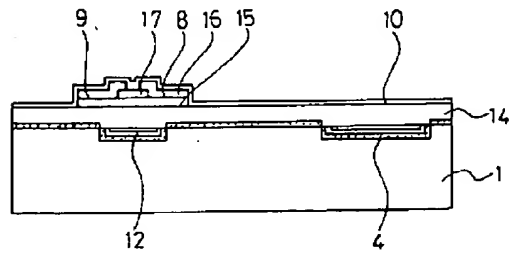
【図6】



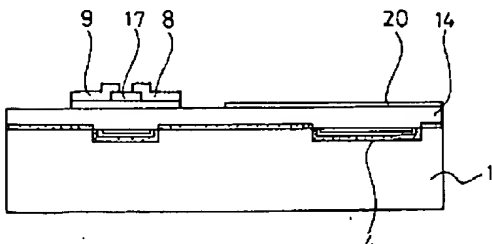
【図7】



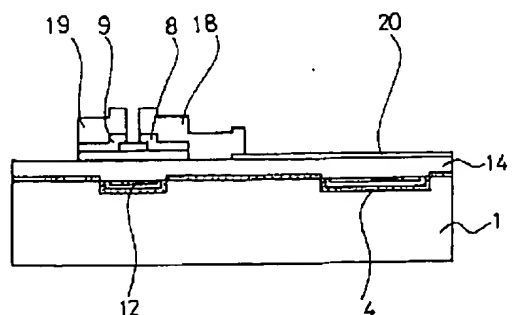
【図8】



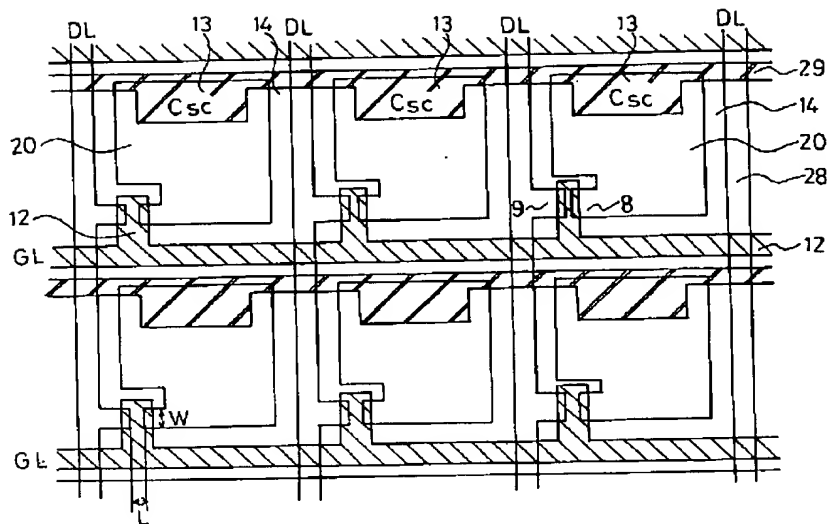
【図9】



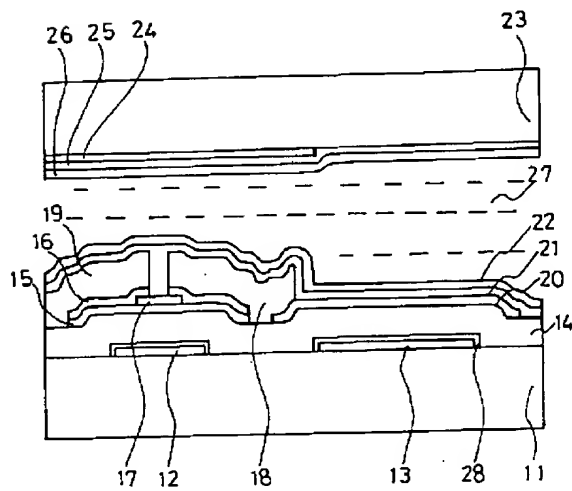
【図10】



【図11】



【図12】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-265040

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

G02F 1/136  
G02F 1/1343

(21)Application number : 04-062215

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 18.03.1992

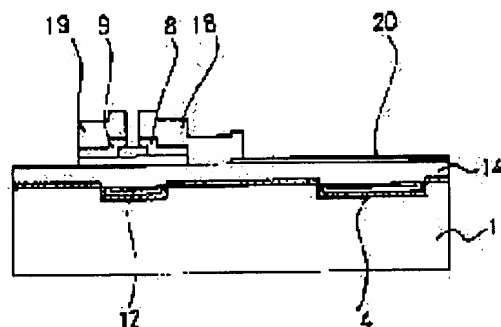
(72)Inventor : ICHIKAWA SHINJI  
HIROSE GIICHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

### (57)Abstract:

**PURPOSE:** To absorb the thickness of a gate line formed by plating by a trench provided in a glass substrate and to drastically decrease the line resistance of the gate line by embedding the gate line into the trench.

**CONSTITUTION:** The trench 4 is provided in the glass substrate 1 and the gate line 12 formed by the non-electric field and electric field plating is embedded into this trench 4. Then, the level difference of the gate line 12 can be absorbed by the recess of the trench 4 even if the gate line is formed thick. As a result, the thick formation of the gate line 12 is possible and its sectional area can be increased and, therefore, the resistance of the gate line 12 is easily decreased. The line resistance can be lowered even in spite of use of metals, such as Cr and Ni, which are high in specific resistance but are inexpensive as the material for the gate line 12. The resist layer for forming the trench 4 is used as a common mask up to the non-electric field and electric field plating of the gate line 12 and, therefore, the production by simple self-alignment is possible.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the liquid crystal display which realizes low resistance-ization of a liquid crystal display and its manufacture method, especially a gate line, and its manufacture method.

[0002]

[Description of the Prior Art] It utilizes the liquid crystal display of an active matrix method using TFT (TFT) as pocket television, a video monitor, and a liquid crystal projector as a display. There is "flat-panel display 1991" to which Nikkei Business Publications has published this technical trend as what was explained in detail. Although the liquid crystal display of various structures is indicated in this, the active matrix liquid crystal display which used TFT here is explained.

[0003] This active matrix liquid crystal display has the composition like drawing 12 . There is a transparent insulating substrate (11), for example, a glass substrate, first. On this glass substrate (11), the gate (12) and the auxiliary capacity electrode (13) used as one component of TFT are formed for example, from the Mo-Ta alloy etc. Furthermore, the laminating of the film (14) which consists of SiNx is carried out to the whole surface. Then, on the SiNx film (14) corresponding to the aforementioned gate (12), the laminating of the amorphous silicon film (15) of a non dope and the N+ type amorphous silicon film (16) is carried out, and the semiconductor protective coat (17) is prepared between this two-layer amorphous silicon film (15) and (16). Then, on N+ amorphous silicon film (16) of type, it is a source electrode, respectively. (18) and the drain electrode (19) are prepared by the layered product of Mo and aluminum. Furthermore, on the aforementioned SiNx film (14) corresponding to the aforementioned auxiliary capacity electrode (13), the pixel electrode (20) which consists of ITO is prepared, and it connects with the aforementioned source electrode (18) electrically. Furthermore, for protection on the whole surface, the passivation of the SiNX film (21) was carried out, and the orientation film (22) is adhered on it.

[0004] It counters with the aforementioned glass substrate (11), another glass substrate (23) is prepared, and the counterelectrode (25) is prepared on this glass substrate (23). A shading film (24) is prepared in the portion which counters TFT, a counterelectrode (25) common to the whole surface is formed, and an orientation film (26) is adhered on it. And liquid crystal (27) is poured in between the glass substrate (11) of this couple, and (23), and it changes with a liquid crystal display.

[0005]

[Problem(s) to be Solved by the Invention] In this liquid crystal display, since the gate (12) was established in the flat glass-substrate (11) front face, it formed thinly with about 1500A so that a level difference might not be enlarged. For this reason, line resistance of the gate line GL has the trouble which is not made small, especially had become a big trouble in the big screen. Moreover, although Mo etc. is used as a gate material and it was made to reduce line resistance in order to improve this, since the cost of materials cannot thicken high things and high thickness, it has come to solve this trouble.

[0006] Therefore, in this liquid crystal display, since it displayed by connecting many pixels to one gate

line GL, there was a trouble that the gate signal supplied from the gate line GL produced a brightness inclination and a partial flicker with a charge property in an input side and a far edge. Specifically, if enlargement of a liquid crystal panel progresses, the Gaea truck in GL will become long and the line resistance will become large by the far edge. For this reason, in the far edge of the Gaea truck in GL, the wave will decline by the resistance and capacity component, and charge sufficient in a far edge pixel electrode cannot be performed. As a result, at for example, the time of a normally white, by the input side of the gate line GL, gray will cut also by the signal of the black with that same at the edge whose pixel was black.

[0007]

[Means for Solving the Problem] this invention is made in view of the trouble of \*\*\*\* everything, and offers the liquid crystal display which realized low resistance-ization of the Gaea truck in by embedding in the trench which established the Gaea truck in in the glass substrate. Moreover, according to the manufacture method of this invention, the manufacture method of the simple liquid crystal display by the self aryne is realized by \*\*\*\*\*ing considering a resist layer as a mask, forming the trench which embeds the Gaea truck in, and forming the 1st metal layer by non-electric-field plating further.

[0008]

[Function] According to this invention, the thickness of a gate line can be formed thickly, without forming a level difference by the thickness, since the Gaea truck in is embedded in a trench, and low resistance-ization of a gate line can be realized. Moreover, according to the manufacture method of this invention, since from a trench to non-electric-field plating can be formed with the mask of a single resist layer, the manufacture method by the self aryne is realizable.

[0009]

[Example] The manufacture method of this invention is explained with reference to drawing 1 - drawing 10 below. In addition, the same sign was given to the same component as drawing 12. In drawing 1, a glass-substrate (1) with the flat upper surface is prepared. As a glass substrate (1), cheap soda lime glass and the cheap alkali free glass (tradename Dow Corning 7059) of a price are used. In addition, in order to prevent derivation of the sodium ion from the interior, a silicon oxide (2) is adhered to a glass-substrate (1) front face in a liquid phase grown method.

[0010] In drawing 2, a glass-substrate (1) front face is ~~is worn in a resist layer (3), and the gate line GL of a schedule (12) and the resist layer (3) on an auxiliary capacity electrode (13) are removed alternatively.~~ In drawing 3, a glass-substrate (1) is etched by using a resist layer (3) as a mask. This etching performs wet etching by fluoric acid, when soda lime glass is used, and when an alkali free glass is used, it is performed by the efficient consumer response dry etching using the reactant gas which made alcohol (CH<sub>3</sub>OH) the principal component. The trench (4) formed at this process is formed in 1000A of depth numbers, and is designed more than the double precision of the thickness of the conventional gate line.

[0011] In drawing 4, a trench (4) inside is covered with a silicon oxide (5), and the 1st metal layer (6) by non-electric-field plating is further formed in a trench (4) inside by using a resist layer (3) as a mask. A silicon oxide (5) forms a silicon oxide (5) to a trench (4) inside by the liquid phase grown method. This silicon oxide (5) is for making the sodium ion drawn from a glass substrate (1) suppress. The method of dipping a glass substrate (1) into a silicofluoric acid (H<sub>2</sub>SiF<sub>6</sub>) and the saturated-water solution of SiO<sub>2</sub>, adding a boric acid (H<sub>3</sub>BO<sub>3</sub>) as a liquid phase grown method, and growing up a silicon oxide (5) is common.

[0012] Then, ~~a glass-substrate (1) is deposited in the electroless deposition liquid of nickel, and the 1st metal layer (5) which becomes the inside of the trench (4) exposed as a mask from nickel plating about a resist layer (3) is formed.~~ Electrolysis plating is performed by using as an electrode the 1st metal layer (6) formed by electroless deposition by using a resist layer (3) as a mask in drawing 5. ~~The 2nd metal layer (7) is formed on the 1st metal layer (6), and the Gaea truck in GL (12) which consists of the 1st embedded in the trench (4) and 2nd metal layers (6) and (7) is formed. The resist layer (3) used as a mask is removed after this process end. In addition, an auxiliary capacity electrode (13) is formed completely like the Gaea truck in GL (12).~~

[0013] In drawing 6, the glass substrate (1) with which the gate line GL (12) and the auxiliary capacity

electrode (13) were embedded in the trench (4) adheres to a gate insulator layer (14), the amorphous silicon film (15) of a non dope, and a protective coat (17) in reduced pressure CVD one by one. A gate insulator layer (14) is formed by about 4000Å SiNX film, forms about about 1000Å (15) of amorphous silicon films of a non dope on it, and forms about about 2500Å of SiNX films which turn into a protective coat (17) further.

[0014] In drawing 7, it leaves the protective coat (17) on a gate electrode (12), etching removal of the protective coat (17) of other portions is carried out, and the amorphous silicon film (16) doped by N+ type on the whole surface is adhered to the thickness of about 1000Å in reduced pressure CVD. In drawing 8, it leaves the amorphous silicon film (15) which \*\*\*\*\*s the amorphous silicon film (15) of a non dope, and an N+ type amorphous silicon film (16), and serves as a channel field, and leaves the source field (8) and drain field (9) which were formed by the N+ type amorphous silicon film (16) separated on the protective coat (17) on it, and a TFT type MOS transistor is formed.

[0015] Furthermore, an ITO film (10) is formed in the whole surface by the spatter at the thickness of about 1000Å. In drawing 9, an ITO film (10) is \*\*\*\*\*ed and a pixel electrode (20) is formed. In drawing 10, the spatter of Mo and the aluminum is carried out to the last, it \*\*\*\*\*s in a predetermined configuration, and a source electrode (18) and a drain electrode (19) are formed on a source field (8) and a drain field (9). In addition, a source electrode (18) extends to a pixel electrode (20), and connects both.

[0016] Next, with reference to drawing 11, the structure of a liquid crystal display is explained concretely. On the glass substrate, many gate lines GL (12) which attached the slash were formed in parallel with a book and the direction of a horizontal axis, and the auxiliary capacity electrode (13) connected to an auxiliary capacity line and it along with the gate line GL (12) is prepared in parallel. The gate line GL (12) and the auxiliary capacity electrode (13) were formed by vacuum evaporation, such as Cr, and have covered the front face with the oxide film on anode.

[0017] Besides is covered by the gate insulator layer (14) which becomes the whole surface from SiNX. The laminating of an amorphous silicon film (15) and the N+ type amorphous silicon film (16) is carried out on this insulator layer (14). Then, both the amorphous silicon film (15) and (16) are \*\*\*\*\*ed, it leaves the amorphous silicon film (15) which forms a channel field, a semiconductor protective coat (17) is prepared on the channel field, an N+ type amorphous silicon film (16) is estranged on a semiconductor protective coat (17), and a source field (8) and a drain field (9) are formed. On the source field (8) and the drain field (9), the source electrode (18) and drain electrode (19) of a laminated structure of MO and aluminum are formed. The pixel electrode (20) which becomes the residual portion of an insulator layer (14) from ITO is prepared, and the source electrode (18) connects with the source field (8). In addition, the drain line DL (28) is simultaneously formed, when forming a drain electrode (19), and it is arranged so that it may intersect perpendicularly with the gate line GL (12). Moreover, the gate line GL (12) was projected so that the gate of a TFT type MOS transistor might be constituted, and it has extended under each channel field.

[0018] Furthermore, the auxiliary capacity electrode (13) is extended and formed in the bottom of a pixel electrode (20) from the auxiliary capacity line (29). The feature of this invention is to embed the gate line GL (12) and an auxiliary capacity electrode (13) in the trench (4) prepared in the glass substrate (1). Consequently, since the level difference is absorbable in the depression of a trench (4) even if it forms the gate line GL (12) thickly, the cross section of the gate line GL (12) can be expanded, and low resistance-ization can be realized. Even if it uses material with still cheaper Cr etc. as a material of the gate line GL (12), the high thing of the resistivity does not serve as an obstacle, but is very effective in the cost cut of the liquid crystal display of a big screen.

[0019]

[Effect of the Invention] Since the gate line GL (12) is embedded in the trench (4) prepared in the glass substrate (1) according to this invention, even if it forms the gate line GL (12) thickly, the level difference can absorb in the depression of a trench (4). Consequently, the gate line GL (12) can be formed thickly, the cross section can be expanded, and low resistance-ization of the gate line GL (12) can be attained easily. Moreover, although specific resistance is high, even if it uses metals, such as

cheap Cr and nickel, as a material of the gate line GL (12), reduction of line resistance is realizable. [0020] Moreover, since the resist layer (3) for forming a trench (4) is used as a mask common to the non-electric field of the gate line GL (12), and electric-field plating according to the manufacture method of this invention, the manufacture method by the very simple self aryne is realizable.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The drain line and gate line which were arranged in the shape of a matrix. The pixel electrode arranged in the shape of a matrix among both lines. The auxiliary capacity electrode which extended under the aforementioned pixel electrode. The switching element which connected the gate to the aforementioned gate line and connected the source to the aforementioned pixel electrode for the drain at the aforementioned drain line. Liquid crystal material prepared between the aforementioned pixel electrode and the counterelectrode. It is the liquid crystal display equipped with the above, and is characterized by embedding the aforementioned Gaea truck in at a glass substrate.

[Claim 2] The process which exposes the pattern of the gate line of the schedule of a glass substrate, and is covered with a resist layer, The process which \*\*\*\*\*s the aforementioned glass substrate and forms a trench, the process which covers the aforementioned trench inside with a silicon oxide, The process which forms the 1st metal layer in the aforementioned silicon oxide of the aforementioned trench inside by non-electric-field plating, The manufacture method of the liquid crystal display characterized by providing the process which performs electric-field plating, forms the 2nd metal layer, and forms the Gaea truck in embedded in the aforementioned trench by using the metal layer of the above 1st as an electrode.

[Claim 3] The manufacture method of the liquid crystal display according to claim 2 characterized by forming the aforementioned silicon oxide by the liquid phase epitaxy.

[Claim 4] The manufacture method of the liquid crystal display according to claim 2 characterized by forming the metal layer of the above 1st by non-electric-field nickel plating.

---

[Translation done.]